

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-110084
 (43)Date of publication of application : 11.04.2003

(51)Int.Cl. H01L 25/065
 H01L 25/07
 H01L 25/18

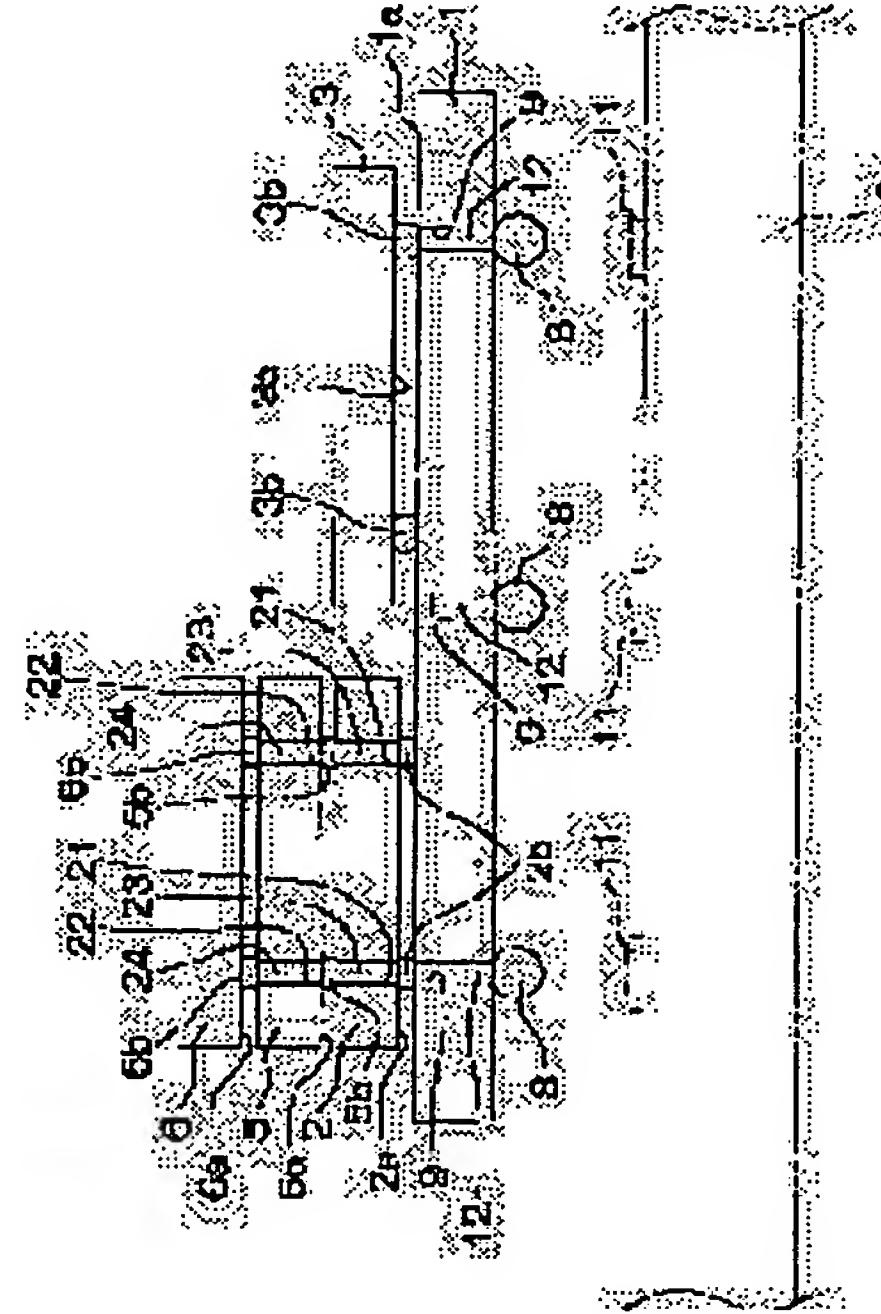
(21)Application number : 2001-302288 (71)Applicant : ROHM CO LTD
 (22)Date of filing : 28.09.2001 (72)Inventor : SHIBATA KAZUTAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which transmission rate of signal can be enhanced.

SOLUTION: A master chip 1 and slave chips 2 and 3 are flip-chip connected while facing the active face 1a with the active faces 2a and 3a. Wiring is formed on each active face 1a, 2a and 3a of the master chip 1 and slave chips 2, 3 by a semiconductor process. The master chip 1 is provided with a through hole 9 penetrating it in the thickness direction and filled with a conductor 12. A bump 8 is provided directly under the through hole 9 as a terminal for external connection. The wiring and the bump 8 on the active face 1a are connected electrically through the conductor 12.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110084

(P2003-110084A)

(43)公開日 平成15年4月11日 (2003.4.11)

(51)Int.Cl.⁷

H 01 L 25/065
25/07
25/18

識別記号

F I

H 01 L 25/08

テ-マ-ト (参考)

B
Z

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号 特願2001-302288(P2001-302288)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(22)出願日 平成13年9月28日 (2001.9.28)

(72)発明者 柴田 和孝

京都市右京区西院溝崎町21番地 ローム株
式会社内

(74)代理人 100087701

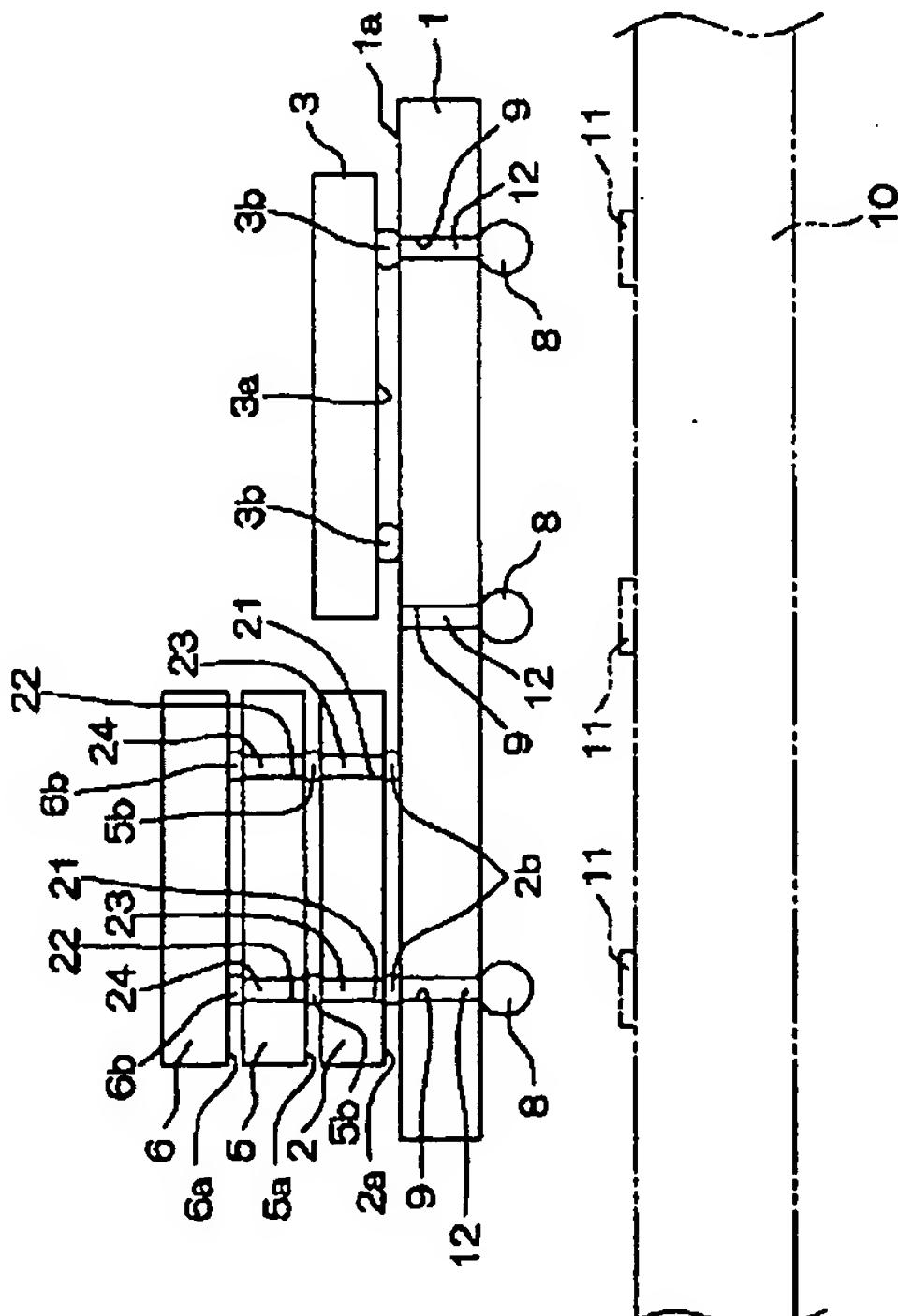
弁理士 稲岡 耕作 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】信号の伝送速度を向上させることができる半導体装置を提供する。

【解決手段】親チップ1と子チップ2, 3とは、それぞれの活性面1aと活性面2a, 3aとが対向されてフリップチップ接続されている。親チップ1および子チップ2, 3のそれぞれの活性面1a, 2a, 3aには、機能素子および半導体プロセスによる配線が形成されている。親チップ1には、親チップ1を厚さ方向に貫通するスルーホール9が設けられている。スルーホール9の内部には、導電体12が充填されている。スルーホール9の直下には、外部接続用の端子としてのバンプ8が設けられている。活性面1a上の配線とバンプ8とは、導電体12により電気的に接続されている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】第1の半導体チップと、互いに横方向に配された第2の半導体チップおよび第3の半導体チップとを活性面を対向させて相互接続して構成される半導体装置であって、

上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ活性面に機能素子を備えており、

上記第1の半導体チップが、活性面に上記第2の半導体チップおよび上記第3の半導体チップを接続する配線を備えており、活性面とは反対側の面に外部接続用の端子を備えていることを特徴とする半導体装置。

【請求項2】上記第1の半導体チップが、活性面に機能素子を備えていることを特徴とする請求項1記載の半導体装置。

【請求項3】上記第1の半導体チップが、スルーホールを有することを特徴とする請求項1または2記載の半導体装置。

【請求項4】上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ内部の機能素子を相互に接続する配線を備えており、

上記第1の半導体チップの配線が、上記第2の半導体チップの配線および上記第3の半導体チップの配線より断面積が大きいことを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップの表面に他の半導体チップを重ね合わせて接続するチップオンチップ構造を有する半導体装置に関し、特に信号を高速伝送可能な半導体装置に関する。

【0002】

【従来の技術】信号伝送速度の向上を目的とした半導体装置として、マルチチップモジュールがある。マルチチップモジュールにおいては、1つのパッケージ内で配線基板上に複数の半導体チップが高密度に実装され、半導体チップを相互に接続する配線が短くされることにより、信号の高速伝送を図っている。配線基板上には、機能素子が形成された複数の半導体チップが実装されており、個々の半導体チップは、配線基板にフェイスダウン状態で接続（フリップチップ接続）されている。配線基板としては、通常、絶縁基板に多層配線が施されたものが用いられる。すなわち、配線基板は、表層の配線、内層各層の配線、および層間を接続する配線を含んで構成されている。

【0003】配線基板上に実装された半導体チップの上には、さらに他の半導体チップが積み重ねて配置されてチップオンチップ構造が形成される場合もある。このようなマルチチップモジュールにおいては、配線基板と半導体チップとの間、および配線基板における半導体チップ相互間の配線長を短くすることにより、各半導体チッ

プに形成された機能素子間の信号の高速伝送を実現しようとしている。また、配線基板の下面に設けたバンプなどを介して、他の配線基板などに接続可能なため、外部接続のための配線長も比較的短く、外部との信号の伝送も或る程度高速に行うことが可能である。

【0004】

【発明が解決しようとする課題】ところが、このようなマルチチップモジュールにおいて、配線基板の配線は、半導体プロセスによる配線に比して、配線幅や配線相互の間隔が広い。このため、配線基板上に半導体チップを相互に密に実装した場合でも、配線が相互に干渉しないように配置するためには、配線の層数を増やすなどの必要があり、結局配線長は長かった。そのため、信号の伝送速度を充分に高くすることができなかった。

【0005】また、半導体チップは絶縁基板を用いた配線基板を介して外部接続されるので、配線長の短縮には限界があり、外部接続における信号伝送速度を充分に高くすることができなかった。そこで、この発明の目的は、信号の伝送速度を向上させることができる半導体装置を提供することである。

【0006】

【課題を解決するための手段および発明の効果】上記の課題を解決するための請求項1記載の発明は、第1の半導体チップ（1）と、互いに横方向に配された第2の半導体チップ（2）および第3の半導体チップ（3，4）とを活性面（1a，2a，3a）を対向させて相互接続して構成される半導体装置であって、上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ活性面に機能素子（2c，3c）を備えており、上記第1の半導体チップが、活性面に上記第2の半導体チップおよび上記第3の半導体チップを接続する配線（L123）を備えており、活性面とは反対側の面に外部接続用の端子（8）を備えていることを特徴とする半導体装置である。

【0007】なお、括弧内の英数字は後述の実施形態における対応構成要素等を示す。以下、この項において同じ。第1の半導体チップの配線は、半導体プロセスにより形成されるものであり、配線幅や配線相互の間隔は、たとえば、1μm以下とすることができます。絶縁基板を用いた配線基板では、配線の幅や配線相互の間隔が数十μmないし数百μm程度であるので、これらに比べて半導体プロセスによる配線は、格段に微細である。これにより、第1の半導体チップの配線は、多層化した場合でも、長さを短くすることができる。したがって、第2の半導体チップと第3の半導体チップとを短い配線長で接続（内部接続）することができる。

【0008】また、第1の半導体チップは、活性面の反対側の面に外部接続用の端子を備えている。外部接続用の端子は、たとえば、半田ボール等で構成されたバンプとすることができる。この外部接続用の端子を用いて、

他の配線基板などに面実装することができる。したがって、半導体チップは、配線基板を介すことなく、短い距離で外部接続されるので、この半導体装置の外部との信号伝送速度は大きい。

【0009】以上のように、このような半導体装置は、内部接続、外部接続ともに短い配線長で行うことができる、信号の伝送速度を向上させることができるのである。第1の半導体チップには、第2の半導体チップおよび第3の半導体チップ以外に、さらに他の半導体チップが接続されていてもよい。また、第2または第3の半導体チップの上には、縦方向にさらに別の半導体チップが積み重ねられて接続されていてもよい。

【0010】第1ないし第3の半導体チップを同種の半導体材料（たとえば、シリコン）で構成することにより、これらの熱膨張係数を一致させることができるので、熱膨張／収縮の差により応力が生ずることを回避できる。請求項2記載の発明は、上記第1の半導体チップが、活性面に機能素子（1c）を備えていることを特徴とする請求項1記載の半導体装置である。第1の半導体チップに配線基板としての役割以外に、機能を持たせることにより、半導体装置内において、機能素子を有する半導体チップがより密に配された状態とすることができる。これにより、半導体装置の小型化や高機能化を実現することができる。

【0011】また、第1の半導体チップが機能素子を有することにより、機能素子は第1ないし第3の半導体チップに分散配置された状態となるので、平均的な配線長を短くすることができる。すなわち、第1の半導体チップには、第1の半導体チップ内の機能素子相互間や第1の半導体チップの機能素子と第2または第3の半導体チップの機能素子との間を接続するための配線も設けられている。これらの配線の大部分は、第2および第3の半導体チップの機能素子相互間を接続するための配線と比べて短い。

【0012】これにより、従来のマルチチップモジュールのように、互いに横方向に配された半導体チップの機能素子を接続する場合と比べて、全体として配線長は短くなる。このため、信号の伝送速度をさらに向上することができる。請求項3記載の発明は、上記第1の半導体チップが、スルーホール（9）を有することを特徴とする請求項1または2記載の半導体装置である。第1の半導体チップに設けられたスルーホールは、内部に導電体が配されたものとすることができます。この場合、スルーホール内の導電体を介して、活性面上の配線と外部接続用の端子とを短い距離で接続することができる。このような構成により、外部との信号の伝送速度をより高くすることができる。

【0013】スルーホール内部は、たとえば、導電性ペーストを用いて導電体で充填してもよい。このような場合、スルーホール直下に外部接続用の端子を設けてもよ

い。これにより、活性面上の配線と外部接続用の端子との間の距離（第1の半導体チップの厚さにほぼ等しい。）は、最短となる。第1の半導体チップの活性面上の配線は、すべてスルーホールを介して外部接続用の端子に接続する必要はなく、信号の高速伝送に必要な配線を優先して、スルーホールにより外部接続することができる。

【0014】請求項4記載の発明は、上記第2の半導体チップおよび上記第3の半導体チップが、それぞれ内部の機能素子を相互に接続する配線（L22, L33）を備えており、上記第1の半導体チップの配線（L11, L12, L13, L123）が、上記第2の半導体チップの配線および上記第3の半導体チップの配線より断面積が大きいことを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。

【0015】第1の半導体チップの配線は、上記のように半導体プロセスにより形成されるので幅が狭い。配線は、断面積が小さくなると、単位長さあたりの抵抗が高くなり、配線全体の抵抗が増大してしまう。本発明によれば、第1の半導体チップの配線は、第2または第3の半導体チップの配線より断面積が大きい。したがって、第1の半導体チップの配線の単位長さあたりの抵抗は低いので、第1の半導体チップの配線全体の抵抗は低い。このような構成により、第1の半導体チップを配線基板として良好な機能を有するものとすることができます。第1の半導体チップの配線は、すべて同じ断面積にする必要はなく、たとえば、長い配線を優先して断面積を大きくしてもよい。

【0016】第1の半導体チップにおける配線を、第2または第3の半導体チップにおける配線よりも断面積を大きくするためには、その幅を広くしたり、その厚さを厚くしたりすればよい。

【0017】

【発明の実施の形態】以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。図1は、本発明の一実施形態に係る半導体装置の図解的な斜視図である。1つの大きな半導体チップ（親チップ）1の上に、これより小さな半導体チップ（子チップ）2, 3, 4が互いに横方向に配されるように接続されている。子チップ2の上には、さらに子チップ2とほぼ同じ大きさの子チップ5, 6が、縦方向に積層されて接続されている。

【0018】図2は、図1の半導体装置の子チップ2, 3, 5, 6を含む断面の図解的な断面図である。図3は、親チップ1および子チップ2, 3の配線を示す図解的な断面図である。親チップ1と子チップ2, 3とは、それぞれの活性面1aと活性面2a, 3aとが対向されてフリップチップ接続されている。すなわち、子チップ2, 3の活性面2a, 3aには、バンプ2b, 3bが設けられており、バンプ2b, 3bが親チップ1の活性面

1aに設けられた電極パッド（図示せず。）に接続することにより、機械的および電気的に接続されている。親チップ1および子チップ2, 3のそれぞれの活性面1a, 2a, 3aには、機能素子1c, 2c, 3cがそれぞれ形成されている。

【0019】活性面1aには、親チップ1の機能素子1c相互間を接続する配線L11、親チップ1の機能素子1cと子チップ2, 3との間を接続するための配線L12, L13、および子チップ2と子チップ3との間を接続するための配線L123が形成されている。活性面2aには、子チップ2の機能素子2c相互間を接続する配線L22、および子チップ2の機能素子2cと親チップ1との間を接続するための配線L21が形成されている。活性面3aには、子チップ3の機能素子3c相互間を接続する配線L33、および子チップ3の機能素子3cと親チップ1との間を接続するための配線L31が形成されている。

【0020】親チップ1の機能素子1cと子チップ2の機能素子2cとは、配線L12、バンプ2b、および配線L21により接続されている。親チップ1の機能素子1cと子チップ3の機能素子3cとは、配線L13、バンプ3b、および配線L31により接続されている。子チップ2の機能素子2cと子チップ3の機能素子3cとは、配線L21、バンプ2b、配線L123、バンプ3b、および配線L31により接続されている。

【0021】親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33より太くかつ厚く形成されて、子チップ2, 3の配線L21, L22, L31, L33よりも断面積が大きくなっている。すなわち、親チップ1と子チップ2, 3とでは、デザインルールが異なる。親チップ1には、親チップ1を厚さ方向に貫通するスルーホール9が設けられている。スルーホール9の内部には、導電体12が充填されている。導電体12は、たとえば、導電ペーストを用いて充填することができる。スルーホール9の直下には、外部接続用の端子としてのバンプ8が設けられている。バンプ8は、たとえば、半田ボールで構成されたものとすることができます。活性面1a上の配線L11, L12, L13, L123とバンプ8とは、導電体12により電気的に接続されている。スルーホール9の一部は、親チップ1と子チップ2, 3との接合部（バンプ2b, 3b）の直下に設けられている。

【0022】子チップ2, 5には、子チップ2, 5を厚さ方向に貫通するスルーホール21, 22がそれぞれ設けられており、スルーホール21, 22内には、導電体23, 24がそれぞれ充填されている。子チップ5, 6の下面（親チップ1側の面）は、機能素子や配線が形成された活性面5a, 6aとなっている。活性面5a, 6aには、導電体23, 24の直上の位置に、それぞれバンプ5b, 6bが設けられている。バンプ5b, 6bと

導電体23, 24とは、導電体23, 24の上部に形成された電極パッド（図示しない。）を介して、それぞれ接合されている。これにより、子チップ2と子チップ5とは電気的に接続されており、子チップ5と子チップ6とは電気的に接続されている。

【0023】このような半導体装置の内部において、親チップ1と子チップ2, 3とは、バンプ2b, 3bを介して接続されている。子チップ2の機能素子2cと子チップ3の機能素子3cとは、親チップ1の活性面1a上に形成された配線L123を介して接続されている。親チップ1の配線L123は、半導体プロセスによるものであるので、配線幅や配線相互の間隔は、たとえば、1μm以下とすることができる。絶縁基板を用いた配線基板では、配線幅や配線相互の間隔が数十μmないし数百μm程度であるので、これらに比べて半導体プロセスによる配線は、格段に微細である。これにより、親チップ1の配線L123は、多層化した場合でも、長さを短くすることができる。したがって、子チップ2と子チップ3とを短い配線長で接続（内部接続）することができる。

【0024】また、親チップ1が機能素子1cを有することにより、機能素子1c, 2c, 3cは親チップ1および子チップ2, 3に分散配置された状態となるので、平均的な配線長を短くすることができる。すなわち、親チップ1には、親チップ1内の機能素子1c相互間や親チップ1の機能素子1cと子チップ2, 3の機能素子2c, 3cとの間を接続するための配線L11, L12, L13も設けられている。これらの配線L11, L12, L13の大部分は、子チップ2, 3の機能素子2c, 3c相互間を接続するための配線L123と比べて短い。これにより、従来のマルチチップモジュールのように、互いに横方向に配された半導体チップの機能素子を接続する場合と比べて、全体として配線長は短くなる。

【0025】親チップ1の配線L11, L12, L13, L123と外部接続用の端子であるバンプ8とは、スルーホール9内の導電体12を介して接続されているので、配線距離が短い。そして、この半導体装置は、親チップ1のバンプ8を用いて、配線基板10に面実装することができる。バンプ8は、たとえば、配線基板10に設けられた接続パッド11に接続することができる。このため、親チップ1および子チップ2, 3は、短い距離で外部接続できる。

【0026】以上のように、この半導体装置は内部接続、外部接続ともに短い配線長でなされている。このため、内部での信号伝送速度および外部との信号伝送速度はともに大きいので、半導体装置全体として信号伝送速度を向上することができる。子チップ4（図1参照）の構造および親チップ1との接続様式は、子チップ2, 3と同様である。したがって、子チップ4も短い距離で外

(5)

特開2003-110084

7

部接続できる。親チップ1および子チップ2, 3を、同種の半導体材料（たとえば、シリコン）で構成することにより、これらの熱膨張係数を一致させることができるので、熱膨張／収縮の差により応力が生じ接合が劣化することを回避できる。

【0027】親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33に比べて、幅が広くかつ厚さが厚いので、単位長さあたりの抵抗が低い。したがって、親チップ1の配線L11, L12, L13, L123は、子チップ2, 3間を接続する長い配線L123を含んでいても、全体として低い抵抗を有する。親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33と比べて、厚さが同じで幅のみが広くてもよく、幅が同じで厚さのみが厚くてもよい。また、親チップ1の配線L11, L12, L13, L123は、子チップ2, 3の配線L21, L22, L31, L33と比べて、一律に幅が広くまたは（および）厚さが厚くされている必要はない。たとえば、子チップ2の機能素子2cと子チップ3の機能素子3cとを接続するための長い配線L123のみを幅が広くまたは（および）厚さが厚くされていてもよい。この場合、効率的に親チップ1の配線L11, L12, L13, L123の平均的な抵抗を低減することができる。

【0028】バンプ8は、スルーホール9の直下に配さ

れていなくてもよい。その場合、活性面1aと反対側の面に配線を設け、スルーホール9内の導電体12とバンプ8とを接続してもよい。その場合、スルーホール9の内部は、完全に導電体12で充填されていなくてもよく、たとえば、スルーホール9の内面のみにめっき等により導電膜が形成されていてもよい。親チップ1の活性面1aや子チップ2, 3, 4, 5, 6を保護するために、これらを含む領域が樹脂で封止されていてもよい。

【0029】その他、特許請求の範囲に記載された事項10の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の図解的な斜視図である。

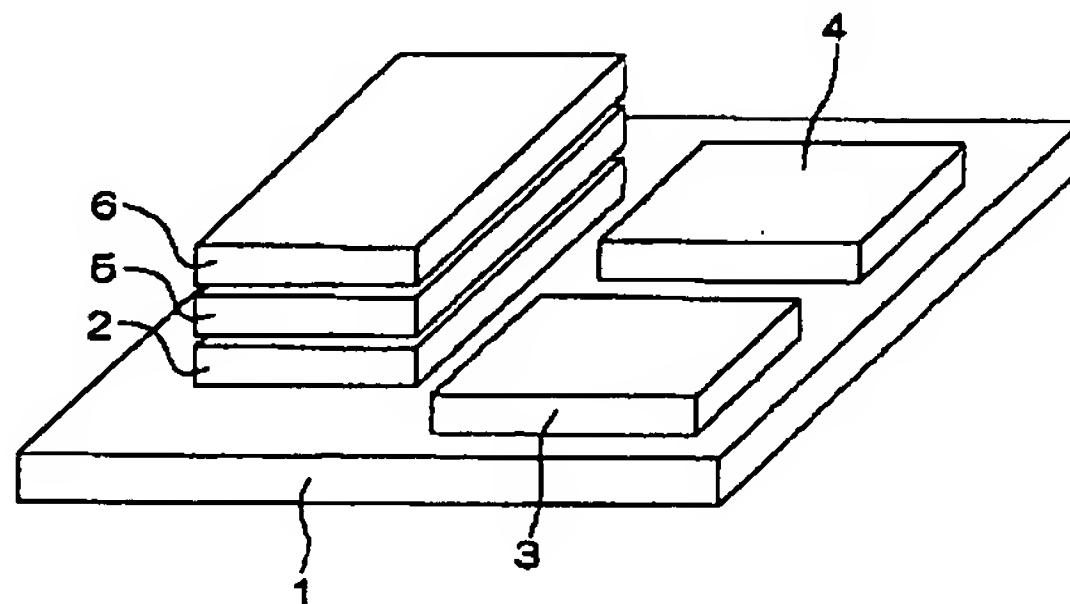
【図2】図1の半導体装置の図解的な断面図である。

【図3】親チップおよび子チップの配線を示す図解的な断面図である。

【符号の説明】

1	親チップ
2, 3, 4, 5, 6	子チップ
20	1a, 2a, 3a 活性面
	2b, 3b, 8 バンプ
	1c, 2c, 3c 機能素子
	L11, L12, L13, L123 親チップの配線
	L21, L22, L31, L33 子チップの配線
	9 スルーホール
	12 導電体

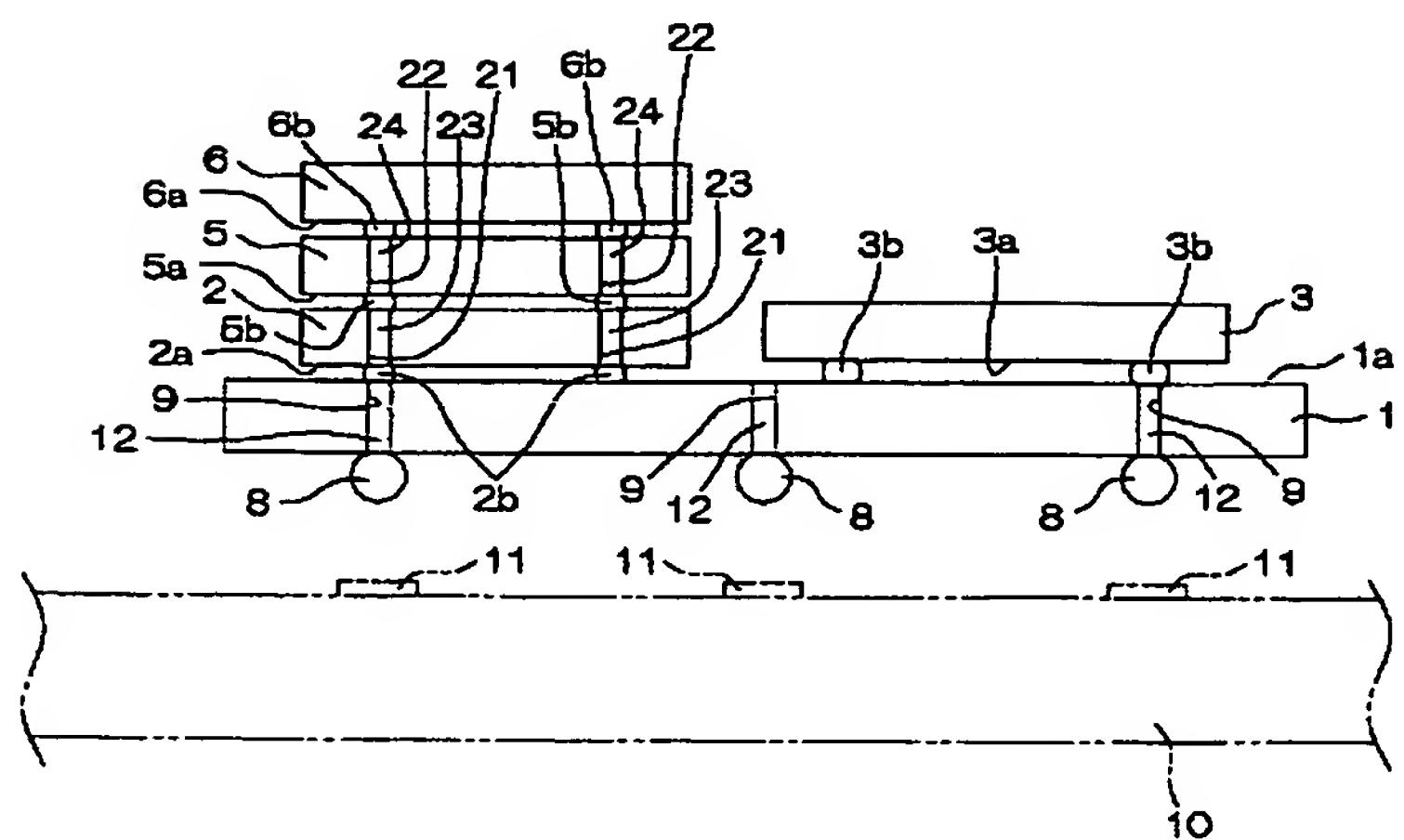
【図1】



(6)

特開2003-110084

【図2】



【図3】

